

# 半導体装置の製造方法

特開平11-283935

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-283935

(43)公開日 平成11年(1999)10月15日

(51)Int.Cl.  
H 01 L 21/28  
29/78  
21/336

識別記号  
301

F I  
H 01 L 21/28  
29/78

301 S  
301 Y

審査請求 有 請求項の数14 O.L (全7頁)

(21)出願番号 特願平10-84110

(71)出願人 000004237

(22)出願日 平成10年(1998)3月30日

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 井上 順

東京都港区芝五丁目7番1号 日本電気株式会社内

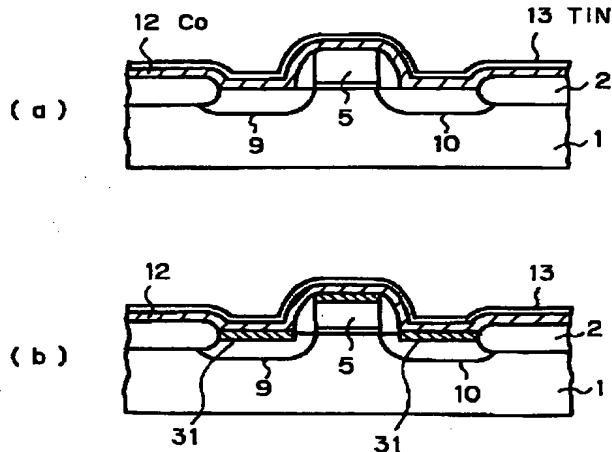
(74)代理人 弁理士 若林 忠 (外4名)

(54)【発明の名称】 半導体装置の製造方法

### (57)【要約】

【課題】 本発明は、コバルトシリサイドのスパイクの発生を抑えることにより、リーク電流を抑制し、トランジスタ特性および信頼性の高い半導体装置を製造する方法を提供することを目的とする。

【解決手段】 シリコン基板上の不純物拡散層9, 10の表面にコバルト膜12と、酸素バリア膜として窒化チタン膜13を形成した後、400°C未満の温度で第1回目の熱処理を行ってCo<sub>x</sub>Si膜31を形成し、その後窒化チタン膜および未反応のコバルト膜を硫酸-過酸化水素混合液を用いて除去し、700~900°Cの温度で再度熱処理を行ってCo<sub>x</sub>Si膜を形成する。



## 【特許請求の範囲】

【請求項1】 不純物拡散層が形成されたシリコン基板上にコバルト膜を形成する工程と、加熱処理を行うことで前記コバルト膜に接するシリコン層にコバルトシリサイドを形成する工程と、未反応のコバルト膜を除去する工程を有する半導体装置の製造方法において、前記加熱処理として、400°C未満の温度で第1回目の熱処理を行って $\text{Co}_1\text{Si}$ 膜を形成する工程と、第2回目の熱処理を行って $\text{Co}_2\text{Si}_1$ 膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記未反応コバルト膜の除去工程を、 $\text{Co}_1\text{Si}$ 膜が形成されている状態で行うことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 不純物拡散層が形成されたシリコン基板上にコバルト膜を形成する工程と、加熱処理を行うことで前記コバルト膜に接するシリコン層にコバルトシリサイドを形成する工程と、未反応のコバルト膜を除去する工程を有する半導体装置の製造方法において、前記加熱処理として、400°C未満の温度で第1回目の熱処理を行って $\text{Co}_1\text{Si}$ 膜を形成する工程と、第2回目の熱処理を行って $\text{Co}_2\text{Si}_1$ 膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】 前記未反応コバルト膜の除去工程を、 $\text{Co}_1\text{Si}$ 膜が形成されている状態で行うことを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 前記のコバルト膜の表面を酸素バリア膜で覆う工程をさらに有することを特徴とする請求項1～4のいずれかに記載の半導体装置の製造方法。

【請求項6】 前記酸素バリア膜が窒化チタン膜であることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 前記の $\text{Co}_1\text{Si}$ 膜を形成する400°C未満の第1回目の熱処理工程を電気炉中で行うことを特徴とする請求項1～6のいずれかに記載の半導体装置の製造方法。

【請求項8】 不純物拡散層が形成されたシリコン基板上にコバルト膜を形成する工程と、加熱処理を行うことで前記コバルト膜に接するシリコン層にコバルトシリサイドを形成する工程と、未反応のコバルト膜を除去する工程を有する半導体装置の製造方法において、前記加熱処理として、2分以上の処理時間をかけて所定の膜厚になるように第1回目の熱処理を行って $\text{Co}_1\text{Si}$ 膜を形成する工程と、第2回目の熱処理を行って $\text{Co}_2\text{Si}_1$ 膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項9】 前記未反応コバルト膜の除去工程を、 $\text{Co}_1\text{Si}$ 膜が形成されている状態で行うことを特徴とする請求項8記載の半導体装置の製造方法。

【請求項10】 不純物拡散層が形成されたシリコン基

板上にコバルト膜を形成する工程と、加熱処理を行うことで前記コバルト膜に接するシリコン層にコバルトシリサイドを形成する工程と、未反応のコバルト膜を除去する工程を有する半導体装置の製造方法において、

05 前記加熱処理として、2分以上の処理時間をかけて所定の膜厚になるように第1回目の熱処理を行って $\text{Co}_1\text{Si}$ 膜を形成する工程と、第2回目の熱処理を行って $\text{Co}_2\text{Si}_1$ 膜を形成する工程と、第3回目の熱処理を行って $\text{Co}_3\text{Si}_1$ 膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項11】 前記未反応コバルト膜の除去工程を、 $\text{Co}_2\text{Si}_1$ 膜が形成されている状態で行うことを特徴とする請求項10記載の半導体装置の製造方法。

【請求項12】 前記のコバルト膜の表面を酸素バリア膜で覆う工程をさらに有することを特徴とする請求項8～11のいずれかに記載の半導体装置の製造方法。

【請求項13】 前記酸素バリア膜が窒化チタン膜であることを特徴とする請求項12記載の半導体装置の製造方法。

20 【請求項14】 前記の $\text{Co}_1\text{Si}$ 膜を形成する第1回目の熱処理工程を電気炉中で行うことを特徴とする請求項8～13のいずれかに記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

25 【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特にシリサイドプロセスを有する半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 従来より半導体装置の分野では常に高集積化・微細化が求められているが、MOSFETのゲート長が0.35μm程度以下になるとショートチャネル効果などの問題が生じる。ショートチャネル効果を抑えるために拡散層を薄くすると拡散層の抵抗が増大するので、ゲート電極を形成するポリシリコン、ソース層、ドレイン層の表面にコバルト膜を成膜し、その後加熱してコバルトシリサイドを形成することで低抵抗化するシリサイドプロセスの採用が試みられている。

30 【0003】 しかし、図6に示すように、シリコン基板1のソース層9およびドレイン層10の表面に形成されたコバルトシリサイド層35の底部からコバルトシリサイドがスパイク状(36)に異常成長し、100nm程度まで薄く形成されたソース層9およびドレイン層10を突き抜け、リーク電流の原因になる問題があった。

40 【0004】 このような問題を解決する方法として、特開平9-251967号公報には、コバルト膜を形成するのに先立ち、シリコン基板の不純物拡散層の上層部にイオン注入により非晶質層を形成し、その後コバルト膜を不純物拡散層の上に形成した後に、1回目の熱処理によりコバルト膜と不純物拡散層内のシリコンとを反応させてその非晶質層の上層部に低温で $\text{Co}_1\text{Si}$ または $\text{Co}_2\text{Si}_1$ を形成する方法が記載されている。

, Siよりなるコバルトシリサイド層を形成し、続いて未反応のコバルトを除去し、ついで2回目の熱処理によってコバルトシリサイド層を構成するCoSiまたはCo<sub>x</sub>SiをCoSiに変化させて低抵抗化させる方法が記載されている。

【0005】この記載によれば、非晶質層がコバルトシリサイドの構成元素が下方に移動するのを妨げるため、スパイクの発生を抑えることができるとしている。

【0006】しかし、この方法において非晶質部分を完全に消費するように条件を制御するのは困難であり、残った非晶質部分がコバルトシリサイド層とソース・ドレイン層との間に格子欠陥として存在することになるので、ON電流等のトランジスタ特性および信頼性が悪くなる問題があった。一方、高温でアニールすることにより、欠陥として残る非晶質部分を修復することも考えられるが、通常900°Cを超える温度が必要であり、コバルトシリサイドの凝集が起こりコバルトシリサイド膜の耐熱性が劣化し、また抵抗が高くなる問題がある。

#### 【0007】

【発明が解決しようとする課題】本発明はこのような問題に鑑みてなされたものであり、コバルトシリサイドのスパイクの発生を抑えることにより、リーク電流を抑制し、トランジスタ特性および信頼性の高い半導体装置を製造する方法を提供することを目的とする。

#### 【0008】

【課題を解決するための手段】本発明は、不純物拡散層が形成されたシリコン基板上にコバルト膜を形成する工程と、加熱処理を行うことで前記コバルト膜に接するシリコン層にコバルトシリサイドを形成する工程と、未反応のコバルト膜を除去する工程を有する半導体装置の製造方法において、前記加熱処理として、400°C未満の温度で第1回目の熱処理を行ってCo<sub>x</sub>Si膜を形成する工程と、第2回目の熱処理を行ってCoSi膜を形成する工程とを有することを特徴とする半導体装置の製造方法に関する。

【0009】また本発明は、不純物拡散層が形成されたシリコン基板上にコバルト膜を形成する工程と、加熱処理を行うことで前記コバルト膜に接するシリコン層にコバルトシリサイドを形成する工程と、未反応のコバルト膜を除去する工程を有する半導体装置の製造方法において、前記加熱処理として、400°C未満の温度で第1回目の熱処理を行ってCo<sub>x</sub>Si膜を形成する工程と、第2回目の熱処理を行ってCoSi膜を形成する工程と、第3回目の熱処理を行ってCoSi膜を形成する工程とを有することを特徴とする半導体装置の製造方法に関する。

【0010】さらに本発明は、不純物拡散層が形成されたシリコン基板上にコバルト膜を形成する工程と、加熱処理を行うことで前記コバルト膜に接するシリコン層にコバルトシリサイドを形成する工程と、未反応のコバル

ト膜を除去する工程を有する半導体装置の製造方法において、前記加熱処理として、2分以上の処理時間をかけて所定の膜厚になるように第1回目の熱処理を行ってCo<sub>x</sub>Si膜を形成する工程と、第2回目の熱処理を行つ

05 てCoSi膜を形成する工程とを有することを特徴とする半導体装置の製造方法に関する。

【0011】さらに本発明は、不純物拡散層が形成されたシリコン基板上にコバルト膜を形成する工程と、加熱処理を行うことで前記コバルト膜に接するシリコン層に

10 コバルトシリサイドを形成する工程と、未反応のコバルト膜を除去する工程を有する半導体装置の製造方法において、前記加熱処理として、2分以上の処理時間をかけて所定の膜厚になるように第1回目の熱処理を行ってCo<sub>x</sub>Si膜を形成する工程と、第2回目の熱処理を行つ

15 てCoSi膜を形成する工程と、第3回目の熱処理を行つてCoSi膜を形成する工程とを有することを特徴とする半導体装置の製造方法に関する。

【0012】尚、本明細書においては、コバルトシリサイドとは、Co<sub>x</sub>Si、CoSiおよびCoSi<sub>x</sub>を総称20 するものとする。

#### 【0013】

【発明の実施の形態】コバルトとシリコンの反応によるコバルトシリサイドの生成反応として、反応温度を低温から高温に上げていくに従い次の3種類の反応が知られている。

25 【0014】約450°C以下の温度では、コバルト(Co)とシリコン(Si)から、Co<sub>x</sub>Siが生成する。この反応は、コバルトが拡散種となって、シリコン側に拡散していく反応である。

30 【0015】約400~約700°Cの温度では、Co<sub>x</sub>Siがさらにシリコンと反応しCoSiが生成する。この反応ではシリコンが拡散種となる。

【0016】約700°C以上の温度では、CoSiがさらにシリコンと反応しCoSi<sub>x</sub>が生成する。この反応35 ではコバルトが拡散種となる。

【0017】本発明者は、コバルトとシリコンの反応によるコバルトシリサイド生成反応を詳細に検討したところ、400°C以上では反応が急速に起こり、400°Cでも30秒程度の時間で所定の膜厚のコバルトシリサイド40 ができる。しかし、このように急激に反応させた場合、Co<sub>x</sub>Siと共にCoSiが特にシリコン基板側の界面に生成され、これがスパイクの要因になることがわかった。このように界面にCoSiが生成するとスパイクが発生しやすくなるため、第1回目の熱処理をCoSiが

45 生成されない条件で熱処理しなければならないことがわかった。特に量産でサリサイドプロセスを用いる場合、CoSiが少しでも生成されると大量不良の発生の原因となる。

【0018】本発明では、シリコン基板上の不純物拡散50 層の上にコバルト膜を形成した後、第1回目の熱処理を

400°C未満の温度で行い、ゆっくりと均一な膜質のCo<sub>x</sub>Siを確実に形成する。即ち、本発明ではCo<sub>x</sub>Si膜を生成する際に、Co<sub>x</sub>Siが生成しないような条件を選ぶことが極めて重要である。そうすると、次にさらに高い温度でCo<sub>x</sub>SiからCo<sub>x</sub>Siを経てCo<sub>x</sub>Si<sub>2</sub>を生成しても、あるいはCo<sub>x</sub>SiからCo<sub>x</sub>Si<sub>2</sub>を生成しても異常成長が起こることがないので、スパイクのない均一なCo<sub>x</sub>Si<sub>2</sub>層が得られる。

【0019】ところで、特開平9-251967号公報では、シリコン基板上にコバルト膜を形成し、400°Cで加熱してCo<sub>x</sub>Siを形成し、450°CでCo<sub>x</sub>Siを生成させ、さらに600°Cで加熱してCo<sub>x</sub>Si<sub>2</sub>を生成させたが異常成長が生じた旨の記載がある。しかしながら、本発明者の検討によれば、400°Cという本発明の要件に近接する条件であっても、シリコン中の不純物の種類や濃度により必ずしも均質なCo<sub>x</sub>Si<sub>2</sub>が得られるわけではなく、微量のCo<sub>x</sub>Siの存在によりCo<sub>x</sub>Siの結晶の均一性が阻害されていることがわかった。これに対して、本発明では、第1回目の熱処理においてCo<sub>x</sub>Si<sub>2</sub>が生成しないので異常成長が生じないのである。

【0020】本発明において、第1回目の熱処理温度は400°C未満の温度であり、低温でゆっくりと熱処理を行う方が均一な膜質のCo<sub>x</sub>Si<sub>2</sub>を得ることができるのと、380°C以下とすることがさらに好ましい。また、低すぎても反応時間がかかりすぎるので、300°C以上が好ましく、特に320°C以上が好ましい。

【0021】第1回目の熱処理に要する時間は、Co<sub>x</sub>Si<sub>2</sub>が例えば8~22nm程度の所定の膜厚に形成されるように、温度との関係で適宜調整する。例えば300°Cでの熱処理では、60~90分程度が必要であり、350°Cでは30分程度が必要である。例えば8~22nm程度の膜厚(例えば15nm)のCo<sub>x</sub>Si<sub>2</sub>を形成するのに、2分以上、特に10分以上かけるようにするのが好ましい。

【0022】第1回目の熱処理に用いる装置としては、特に制限はなく、例えば通常の電気炉による熱処理、またはRTA(rapid thermal annealing)処理のどちらも用いることができる。比較的低温で長時間かけて熱処理しCo<sub>x</sub>Si<sub>2</sub>を生成させることなく均一にCo<sub>x</sub>Si<sub>2</sub>を生成させるためには、電気炉を用いる方が好ましい。

【0023】熱処理の雰囲気は、酸素を含まないような雰囲気が好ましく、窒素、アルゴン等の不活性雰囲気中で行なうことが好ましい。

【0024】本発明では、このように均一にCo<sub>x</sub>Si<sub>2</sub>を形成した後、未反応のコバルトを除去した後、さらに温度700~900°Cで熱処理してCo<sub>x</sub>Si<sub>2</sub>を生成する。この場合、900°Cを超えるとCo<sub>x</sub>Si<sub>2</sub>の凝集が起こりやすく、耐熱性が悪く、抵抗が高くなることがある。Co<sub>x</sub>Si<sub>2</sub>生成のための熱処理は、急速に加熱処理することが好ましく、RTA法を用いることが好まし

い。上記のように第1回の熱処理でCo<sub>x</sub>Si<sub>2</sub>の膜厚が8~22程度になるように形成したときは、Co<sub>x</sub>Si<sub>2</sub>の膜厚は20~50nm程度になる。

【0025】本発明においては、さらに均一性を良くするためには、拡散種別に各ステップを踏むことで、さらに配向性が高く、耐熱性の高いコバルトシリサイド膜を形成できる。

【0026】即ち、上記と同じように第1回目の熱処理を行ってCo<sub>x</sub>Si<sub>2</sub>を形成した後、第2回目の熱処理を行って400~700°CでCo<sub>x</sub>Si<sub>2</sub>を生成した後、さらに第3回目の熱処理を700~900°Cで行ってCo<sub>x</sub>Si<sub>2</sub>を生成する。この場合、未反応のコバルトの除去は、Co<sub>x</sub>Si<sub>2</sub>を生成後に行なうことが好ましい。通常Co<sub>x</sub>Si<sub>2</sub>よりCo<sub>x</sub>Siの方が、コバルトに対するエッティング選択性が大きいので、除去のための溶解液の選択の幅が広がるからである。このように熱処理を3段階で行ったときは、第1回目の熱処理でCo<sub>x</sub>Si<sub>2</sub>を8~22nm程度に形成したとすると、Co<sub>x</sub>Si<sub>2</sub>は11~29nm程度の厚さに生成され、Co<sub>x</sub>Si<sub>2</sub>の膜厚は20~50nm程度になる。

【0027】さらに、本出願に係る異なる発明においては、加熱処理として、2分以上の処理時間をかけて所定の膜厚になるように第1回目の熱処理を行ってCo<sub>x</sub>Si<sub>2</sub>膜を形成することを特徴とするものである。即ち、コバルトとシリコンの反応によりCo<sub>x</sub>Si<sub>2</sub>膜が所定の膜厚まで生成するのに、ゆっくりと2分以上かけることが重要である。特に、10分以上の熱処理時間をかけるように行なうことが好ましい。ここで、所定の膜厚とは、前述と同様に8~22nm程度の膜厚であり、熱処理温度としては、通常400°C未満が用いられる。

【0028】また、熱処理時間が長すぎても製造効率が悪くなるので、製造工程の許容しうる時間内に設定することが好ましく、例えば90分程度以内に行なうようにするのが好ましい。

【0029】熱処理に用いる装置は、前述の400°C未満で第1回目の熱処理を行う発明と同様の装置を用いることでき、その他の条件、その後の処理等も同様に設定することができる。

【0030】

【実施例】以下、実施例を示しながらさらに本発明を詳細に説明する。

【0031】【実施例1】図1~図4を参照しながら、本実施例の工程を説明する。まず、図1(a)に示すように、シリコン基板1のうちLOCOS酸化膜2によつて分離された領域の表面を熱酸化しゲート酸化膜3を3~10nm程度の厚さに形成する。続いて、ゲート酸化膜3及びLOCOS酸化膜2の上にCVD法によりポリシリコン膜4を100~300nm程度の厚さに形成する。

【0032】次に、図1(b)に示すように、ポリシリ

コン膜4内に例えればヒ素等の不純物をイオン注入した後に、ポリシリコン膜4及びゲート酸化膜3をバーニングしてポリシリコン膜4によりゲート電極5を形成する。この後に、ゲート電極5をマスクに使用して例えればヒ素をシリコン基板1にイオン注入し不純物注入層6を形成する。注入のドーズ量および加速エネルギーは、素子設計に合わせて適宜調整するが、たとえば、加速エネルギー20~60keV、ドーズ量1~5×10<sup>15</sup>の条件でイオン注入する。

【0033】また、イオン注入を2回に分けて、比較的浅い部分と深い部分に注入しても良い。具体的には例えば、第1回の条件をドーズ量3×10<sup>14</sup>atm/cm<sup>2</sup>、加速エネルギー10keVとして、第2回の条件をドーズ量2×10<sup>15</sup>atm/cm<sup>2</sup>、加速エネルギー40keVとする。この第2回目の注入は、次の工程でゲート電極にサイドウォールを形成した後に行っても良い。

【0034】次に、CVD法により100nm程度の厚さのシリコン酸化膜を形成する。続いて、ゲート電極5の上面が露出するまでシリコン酸化膜を垂直方向に異方性エッチングして、図1(c)に示すようにシリコン酸化膜をゲート電極5の側面にサイドウォール7として残す。

【0035】次に、図1(d)に示すように、例えれば1000°Cで10秒間のRTA処理によってゲート電極5内のヒ素を内部に拡散させるとともに、不純物注入層6のヒ素を活性化させ不純物拡散層としてソース層9とドレイン層10を形成する。ソース層9とドレイン層10の深さはシリコン基板1の表面から例えば100nm程度(通常80~150nm程度)になる。

【0036】次に、図2(a)に示すように、スパッタ法により例えば10nm(通常5~20nm程度)のコバルト(Co)膜12を形成し、さらにその上に窒化チタン(TiN)膜13を例えば10nmの厚さに形成する。窒化チタン膜は、チタンをターゲットにして、窒素プラズマを用いて成膜することができる。ここで、窒化チタン膜は酸素バリア膜として機能するものであり、本発明では次の工程の熱処理時間が長いので、このようにコバルトの表面に酸素バリア膜を形成することが特に好ましい。酸素バリア膜としては、窒化チタン膜の他に、チタン膜、タンクステン膜、チタン・タンクステン膜等を用いることができるが、酸素の透過性およびエッティング除去性を考慮すると窒化チタン膜が好ましい。

【0037】次に、この基板を電気炉中で400°C未満の適当な温度で所定時間(例えば300°Cにて1時間)、第1回の熱処理を行うと、図2(b)に示すように、Co<sub>3</sub>Si膜31が15nm程度の厚さに形成される。

【0038】次に、硫酸-過酸化水素混合液を用いて、窒化チタン膜13および未反応のコバルト膜12を除去

する。このとき、Co<sub>3</sub>Si膜31は、図3(a)に示すように溶解されずにそのまま残る。

【0039】次に、RTA法により、700~900°Cの範囲の適当な温度(例えば750°C)にて第2回の熱処理を行うと、図3(b)に示すように厚さ35nm程度のCo<sub>3</sub>Si膜32に変わる。

【0040】この後に、図4に示すように、従来の半導体装置と同様に、全体にCVD法により700nm程度の厚さのシリコン酸化膜14を形成し、ついで、シリコン酸化膜14をバーニングしてゲート電極5、ソース層9及びドレイン層10の上にコンタクトホールを形成した後に、ゲート引出電極15、ソース引出電極16、ドレイン引出電極17を形成する。これらの引き出し電極は、例えれば、下から膜厚20nmのチタン膜、膜厚1500nmの窒化チタン膜、膜厚500nmのアルミ層からなる積層膜等で構成することができる。

【0041】本実施例の製造方法によれば、コバルトシリサイドのスパイクの発生が無く、接合リーキの問題も生じなかった。

【0042】【実施例2】図1、図2、図5および図4を順に参照しながら本実施例を説明する。この実施例では、実施例1と同様にして、シリコン基板上にゲート電極、サイドウォール、ソース層、ドレイン層を形成した後、同様にして、コバルト膜と窒化チタン膜を形成し、図1から図2(a)までの工程を終了する。

【0043】次に、図2(b)に示すように、実施例1と同様にして電気炉中で300°Cにて1時間、第1回の熱処理を行い、Co<sub>3</sub>Si膜31を15nm程度の厚さに形成する。

【0044】次に、図5(a)に示すように、第2回の熱処理を電気炉中またはRTA装置中にて400~700°Cの範囲の適当な温度(例えば550°C)にて行い、Co<sub>3</sub>Si膜31をCo<sub>3</sub>Si膜33に変える。Co<sub>3</sub>Si膜の膜厚は20nm程度になる。

【0045】次に、硫酸-過酸化水素混合液を用いて、窒化チタン膜13および未反応のコバルト膜12を除去する。このとき、Co<sub>3</sub>Si膜33は、図5(b)に示すように溶解されずにそのまま残る。このときの溶解液としては、硫酸-過酸化水素水混合液の他に、塩酸-過酸化水素混合液、アンモニア-過酸化水素混合液を用いてもよい。

【0046】次に、第3回の熱処理を、RTA法により700~900°Cの範囲の第2回の熱処理温度より高い適当な温度(例えば750°C)にて行うと、図5(c)に示すようにCo<sub>3</sub>Si膜33がCo<sub>3</sub>Si膜32に変わる。このときのCo<sub>3</sub>Si膜の膜厚は35nm程度である。その後実施例1と同様にして、図4に示す半導体装置を得る。

【0047】この実施例では、コバルトシリサイドの形成を、反応の途中の各段階をそれぞれ確実に行っている

ので、実施例1の効果に加え、均一性が高く、耐熱性に優れたCoSi<sub>x</sub>が得られる。そのため接合リーキをさらに効果的に防止できる。また、この実施例によれば、未反応のコバルト膜の除去を、CoSi<sub>x</sub>膜が生成した後に行っているので、他の部分に影響の少ないより穏やかな溶解液を用いることができる。

## 【0048】

【発明の効果】本発明によれば、コバルトシリサイドのスパイクの発生を抑えることにより、リーキ電流を抑制し、トランジスタ特性および信頼性の高い半導体装置を製造する方法を提供することができる。

## 【図面の簡単な説明】

【図1】実施例1の製造方法を示す工程断面図である。【図2】図1に引き続き、実施例1の製造方法を示す工程断面図である。

【図3】図2に引き続き、実施例1の製造方法を示す工程断面図である。

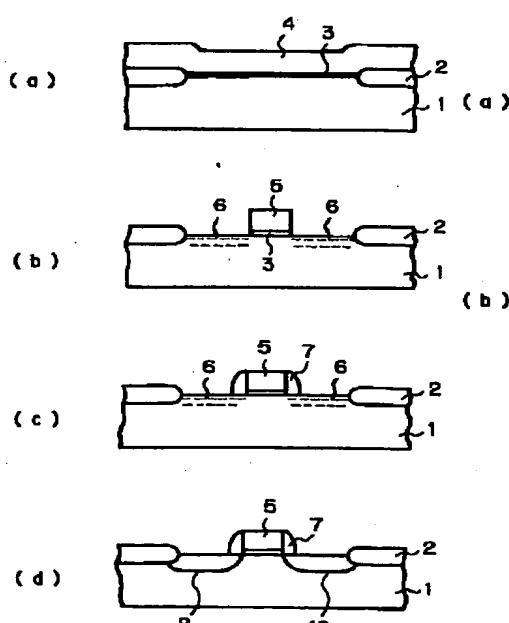
【図4】図3に引き続き、実施例1の製造方法を示す工程断面図である。

【図5】実施例2の製造方法を示す工程断面図である。【図6】コバルトシリサイドのスパイクの発生の様子を示す図である。

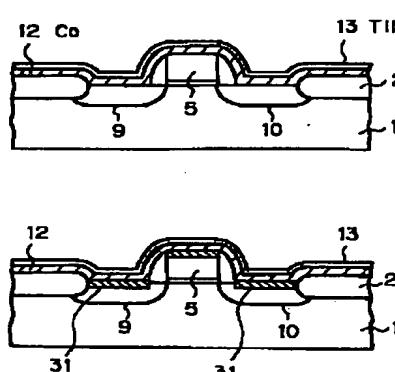
## 【符号の説明】

1	シリコン基板
2	LOCOS酸化膜
3	ゲート酸化膜
4	ポリシリコン膜
5	ゲート電極
6	不純物注入層
7	サイドウォール
9	ソース層
10	ドレイン層
12	コバルト(Co)膜
13	窒化チタン(TiN)膜
14	シリコン酸化膜
15	ゲート引出電極
16	ソース引出電極
17	ドレイン引出電極
31	Co <sub>x</sub> Si膜
32	CoSi <sub>x</sub> 膜
33	CoSi膜
35	コバルトシリサイド層
36	コバルトシリサイドのスパイク

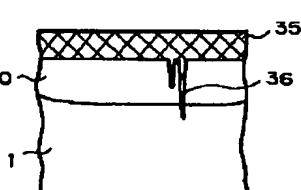
【図1】



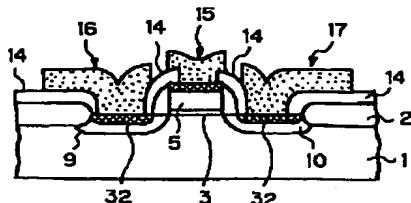
【図2】



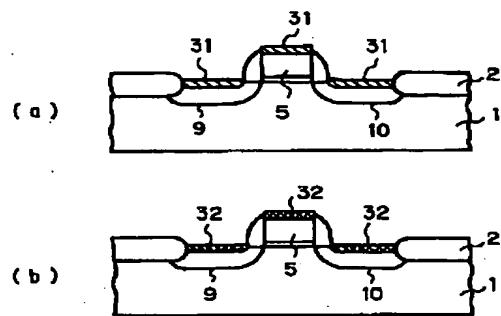
【図6】



【図4】



【図3】



【図5】

